

Projektowanie układów scalonych na przykładzie pętli synchronizacji fazy (PLL)

Jakub Koc
7.05.2026

Czym jest Serdes?

SerDes (Serializer/Deserializer) – układ, który **zamienia dane równoległe na strumień szeregowy (TX)** i z powrotem **na równoległe (RX)**, aby umożliwić szybki transfer przy małej liczbie linii.

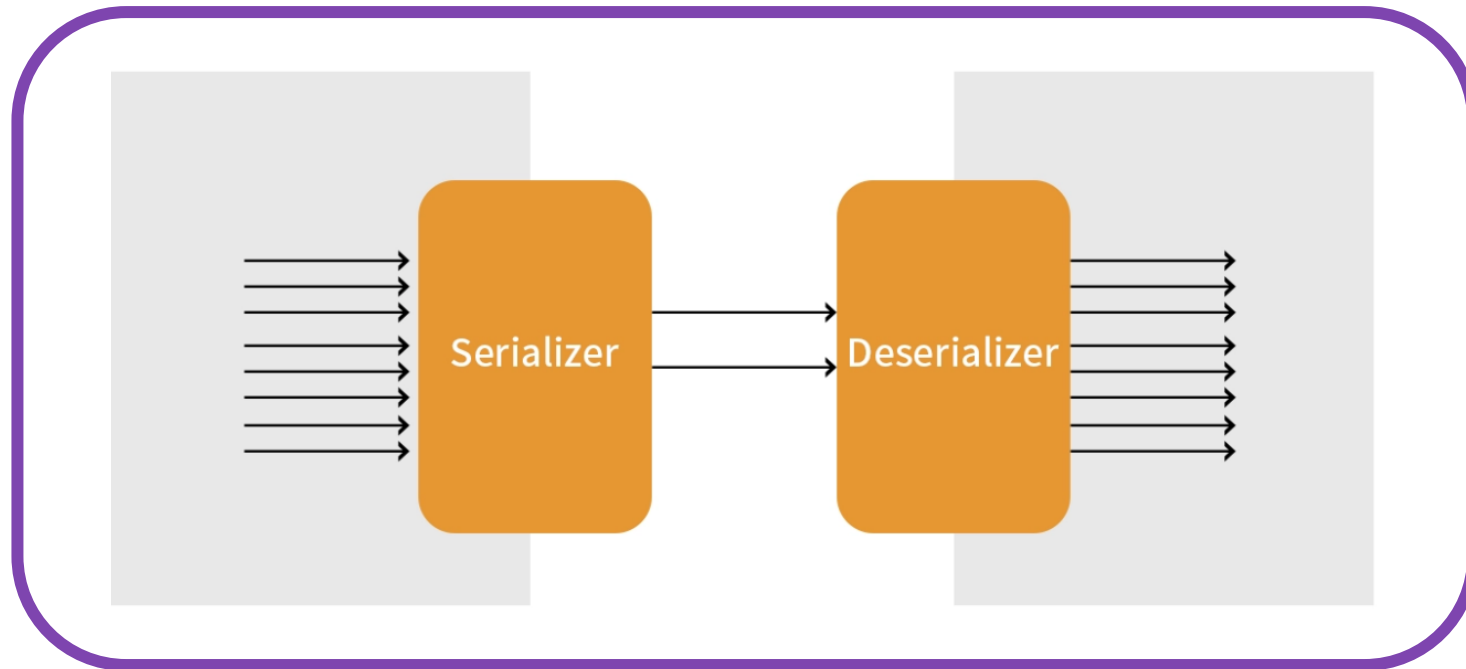
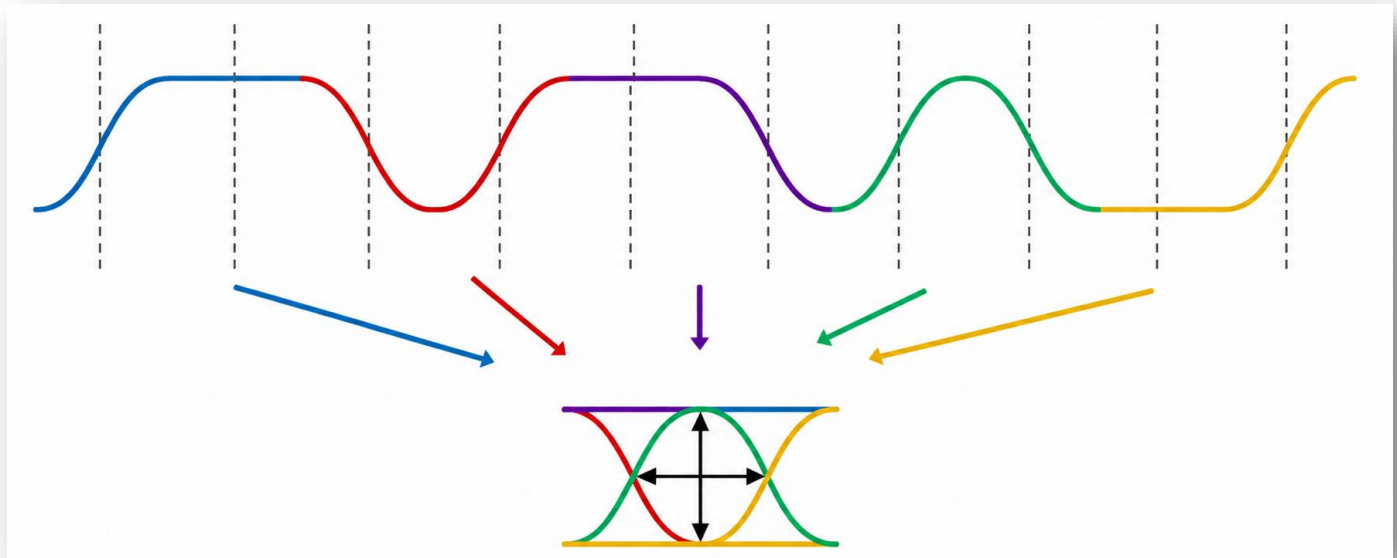


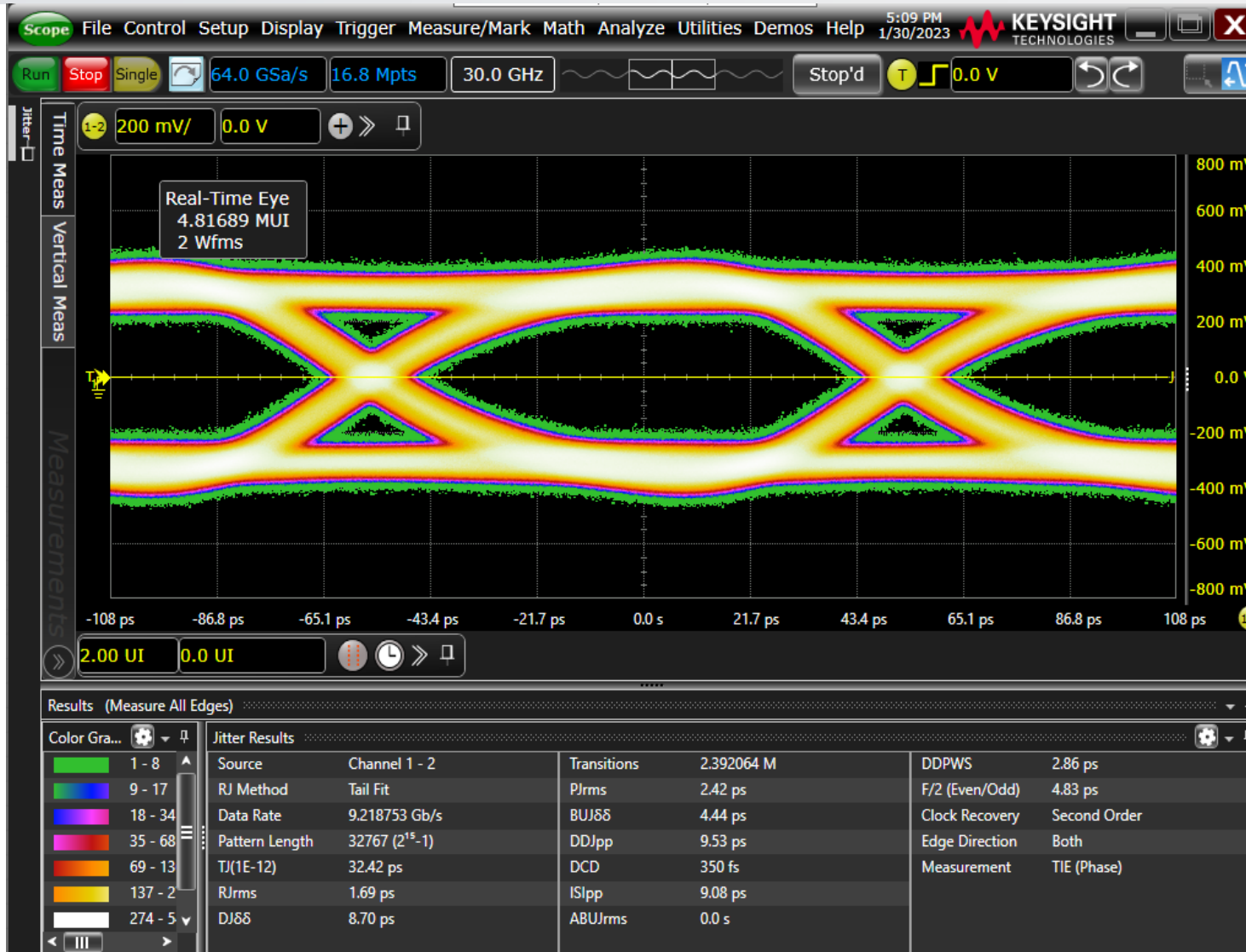
Diagram oka

Diagram oka - powstaje przez nałożenie wielu fragmentów sygnału zsynchronizowanych do okresu zegara.

Jak powstaje diagram oka:



Poprawny diagram oka



Poprawny diagram oka

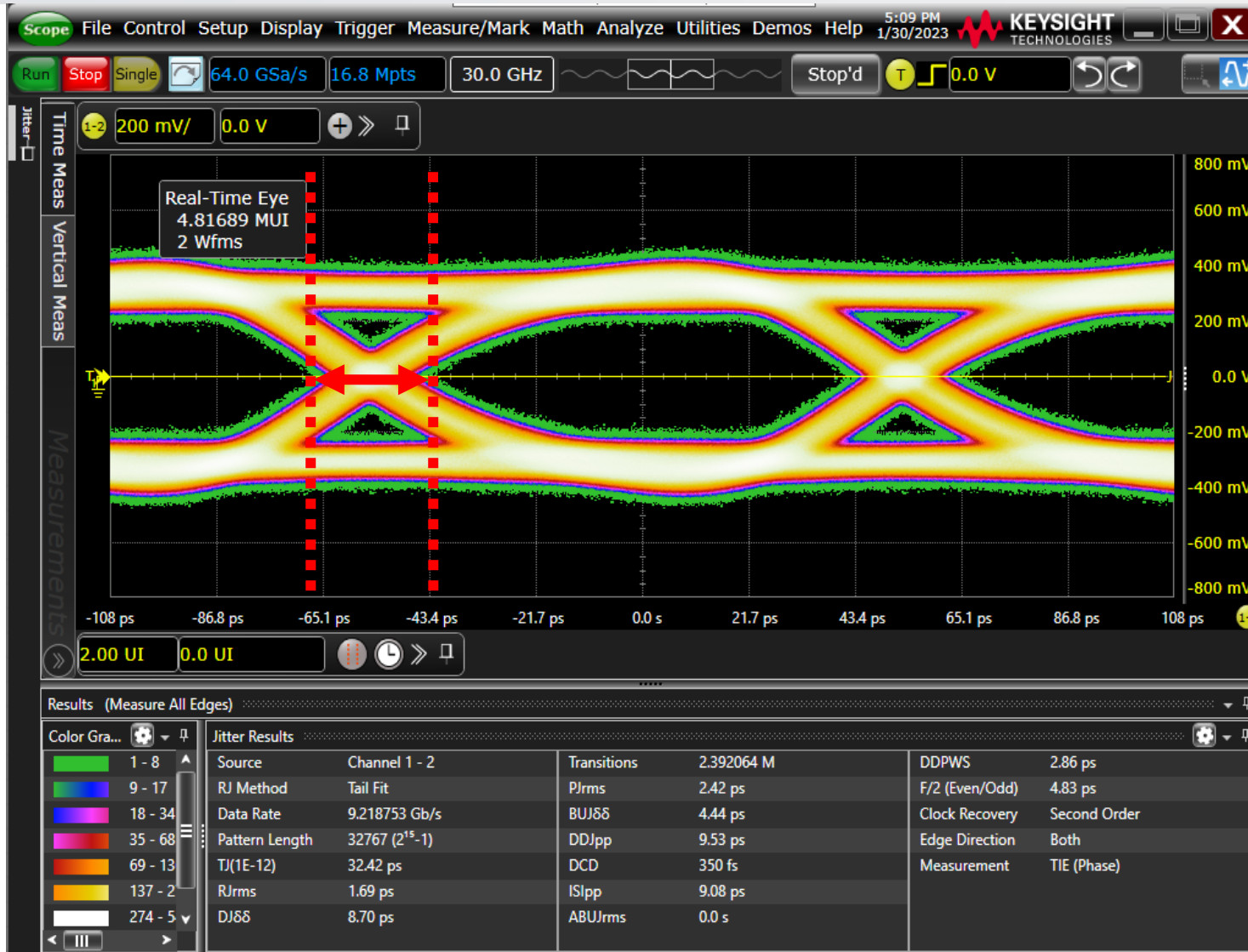
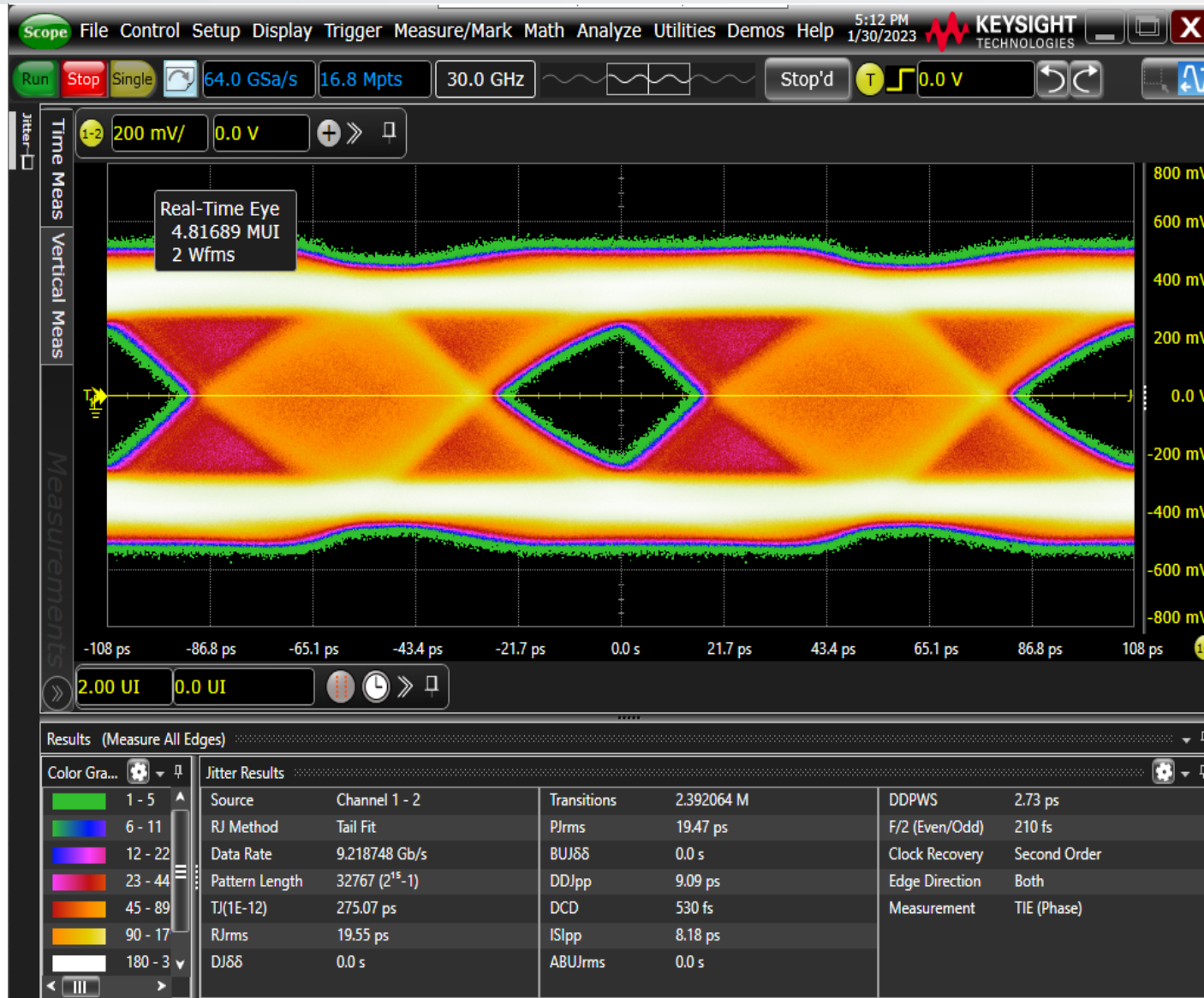


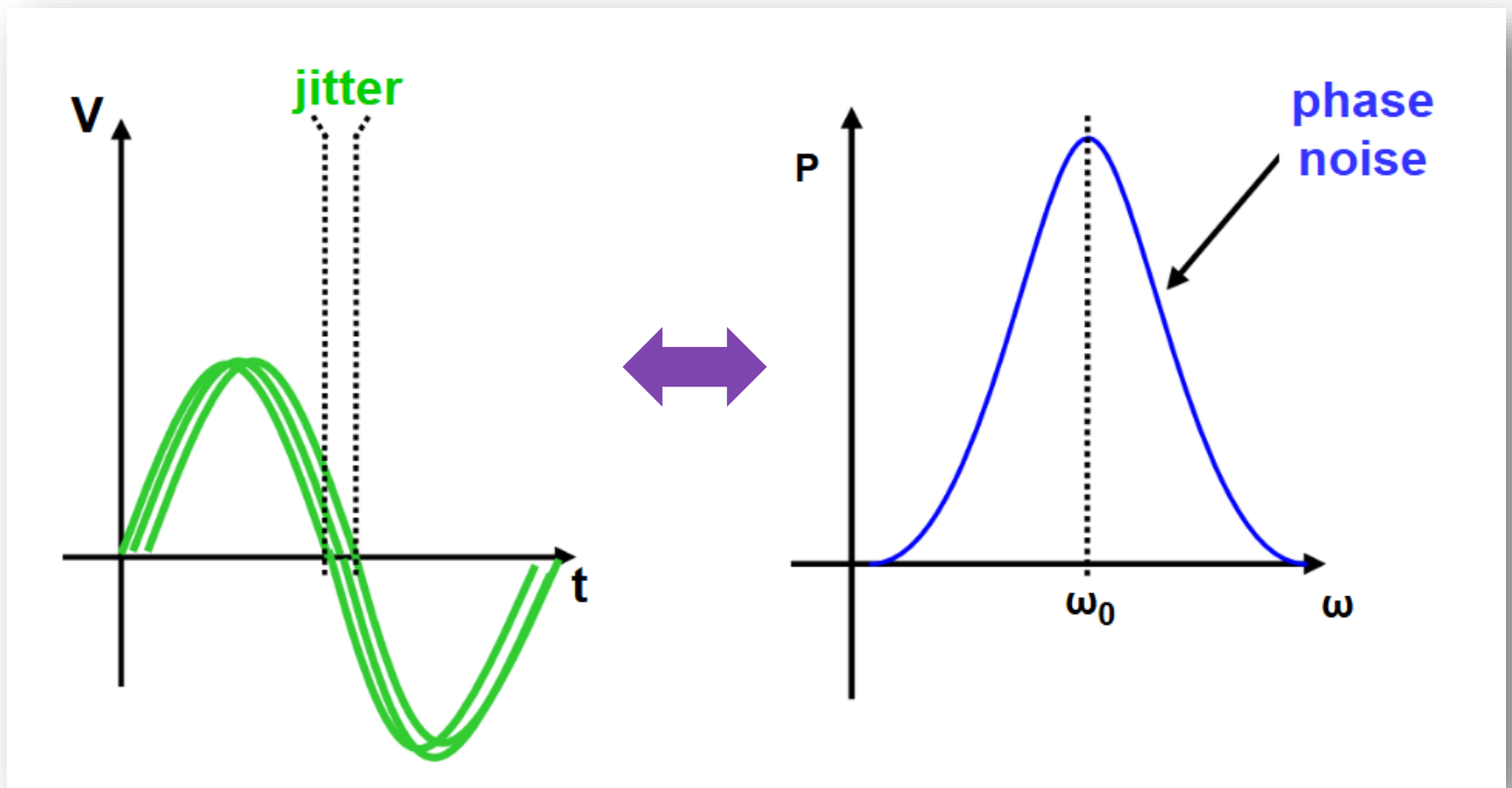
Diagram oka ze źle działającym PLLem



Jitter

Jitter – jest to chwilowe odchylenie **czasu** wystąpienia zbrocza od jego idealnej pozycji.

W dziedzinie **częstotliwości** objawia się to jako poszerzenie widma, czyli phase noise.



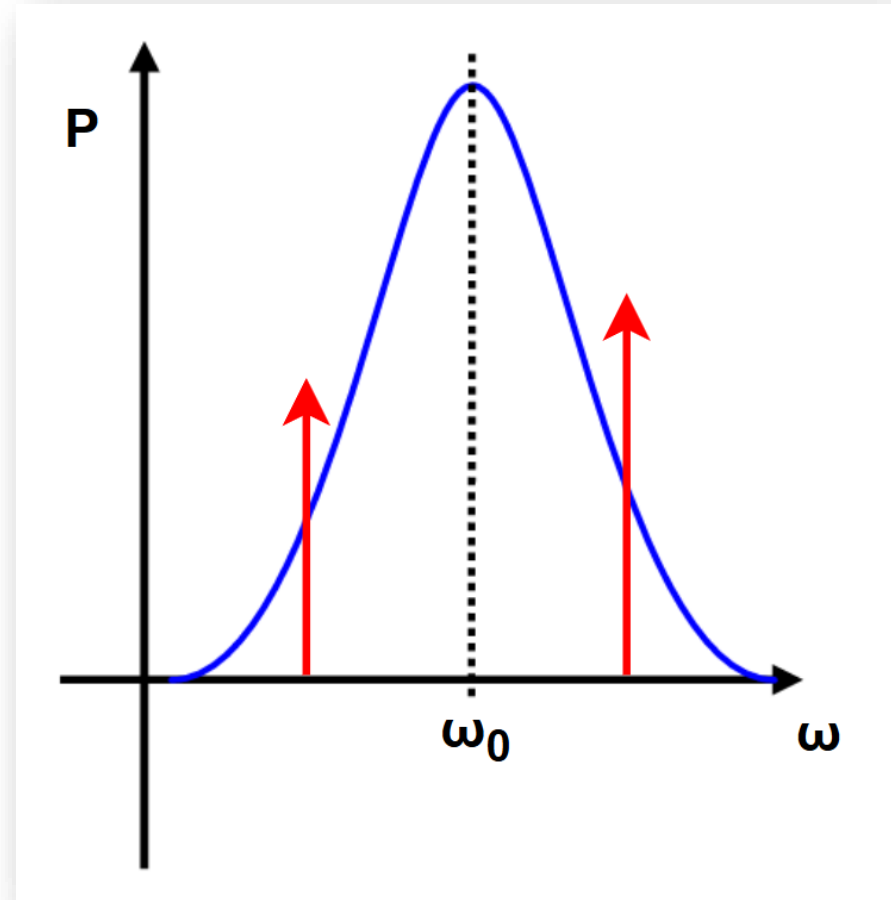
Rodzaje jitteru

Losowy (RJ) – wynika ze źródeł szumu ma rozkład Gaussowski:

- szum flicker ($1/f$),
- szum termiczny,

Deterministyczny (DJ) – przewidywalny jitter o charakterze okresowym, powoduje pojawienie się składowych dyskretnych w widmie:

- periodyczny,
- zależny od danych,
- związany z asymetrią wypełnienia

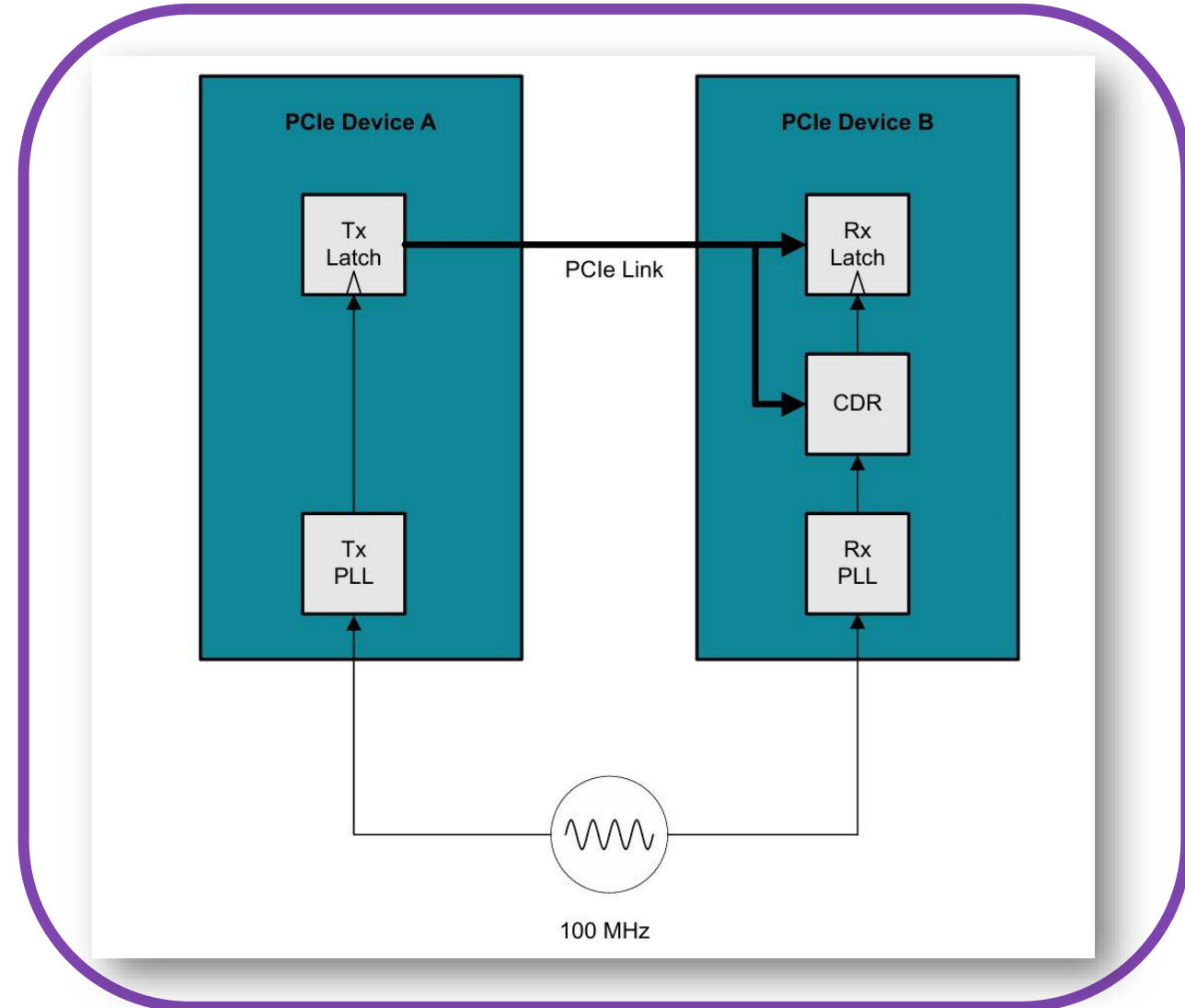


Źródło jitteru

Zegarem referencyjnym w układach SerDes jest **Generator kwarcowy** zapewniają stabilny zegar, jednak o stosunkowo **niskich częstotliwościach**.

PLL odtwarza zegar na podstawie referencji tym samym redukując jitter z wejścia i zwiększając częstotliwość zegara synchronizującego dane.

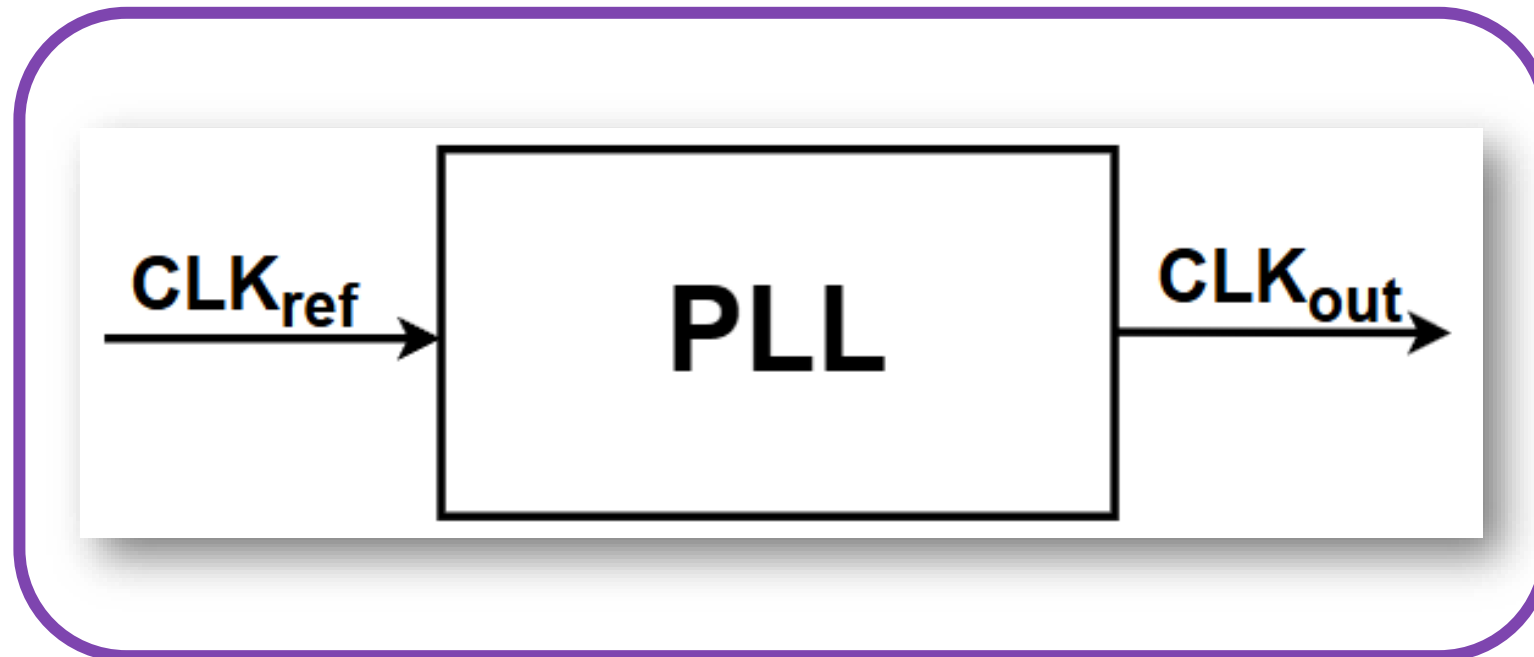
PLL sam staje się głównym źródłem szumu.



Idea PLL'a

PLL - pętlą synchronizacji fazy

PLL (Phase-Locked Loop) – układ sprzężenia zwrotnego, synchronizujący *fazę* i *częstotliwość* sygnału wygenerowanego z sygnałem referencyjnym.



PLL - pętlą synchronizacji fazy

PLL (Phase-Locked Loop) – *układ sprzężenia zwrotnego, synchronizujący **fazę** i **częstotliwość** sygnału wygenerowanego z sygnałem referencyjnym.*

Zadanie PLL'a:

- *Odtworzenie stabilnego zegara*
- *Synteza częstotliwości*
- *Filtruje jitter*

PLL - architektura

Podstawowa struktura PLL:

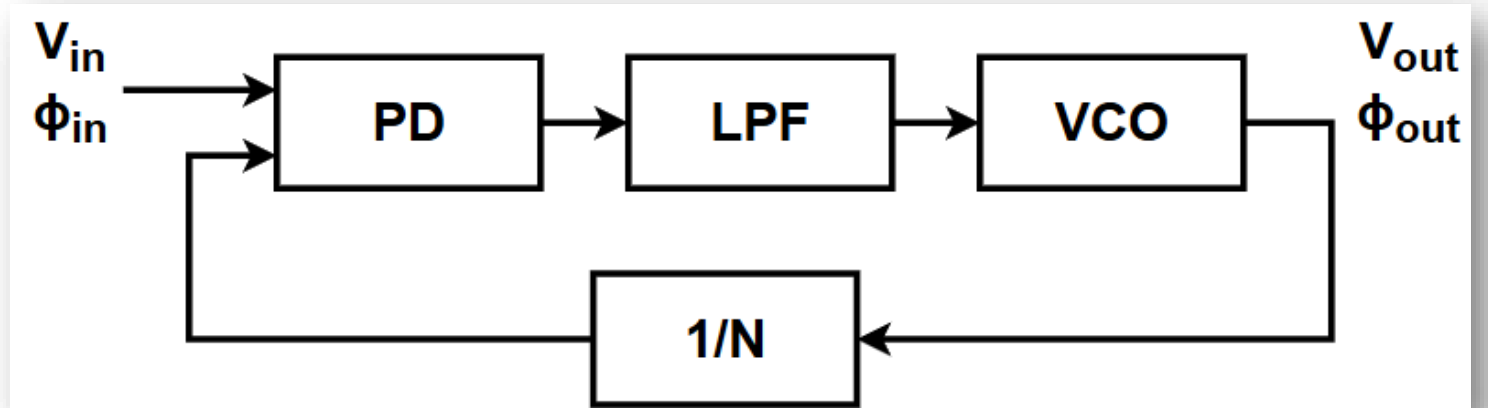
PD – *detektor fazy,*

LPF – *filtr dolnoprzepustowy,*

VCO – *oscylator sterowany napięciem.*

1/N - *dzielnik częstotliwości*

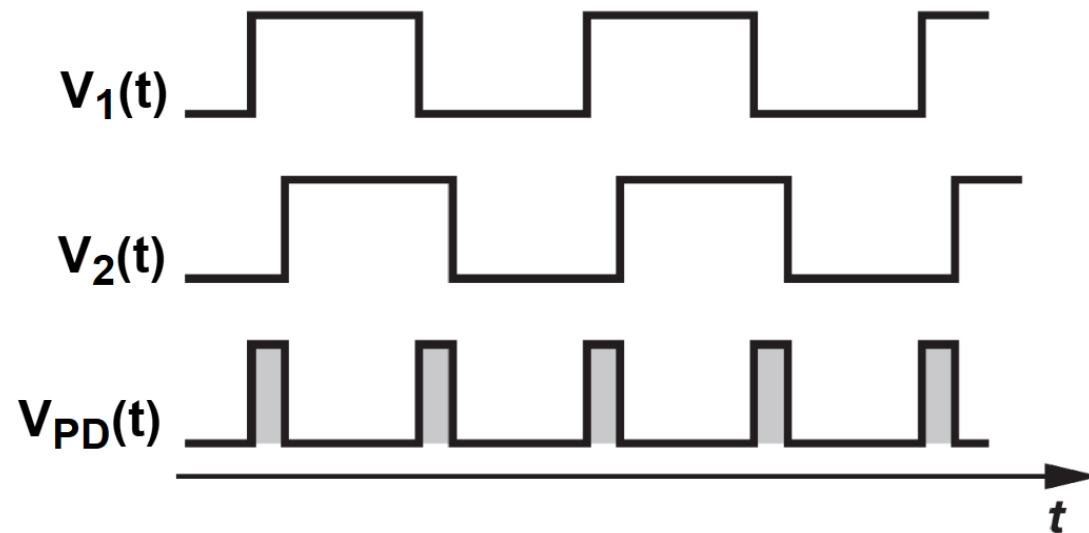
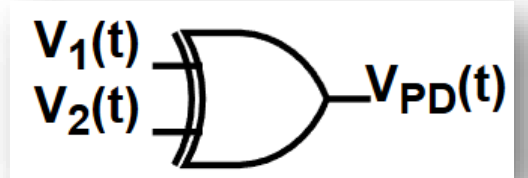
Diagram blokowy PLL'a



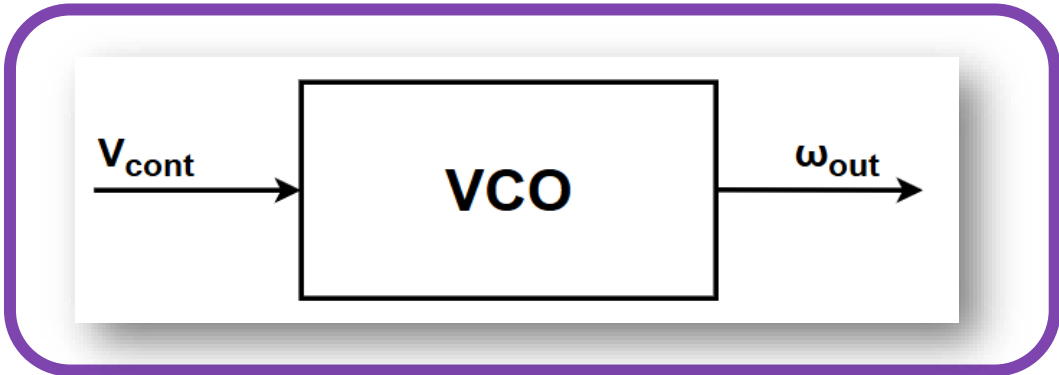
PD - Detektor fazy

Detektor fazy (PD) - porównuje fazę dwóch sygnałów zegarowych i generuje sygnał proporcjonalny do różnicy fazy.

Najprostszą formą PD jest bramka **XOR**.

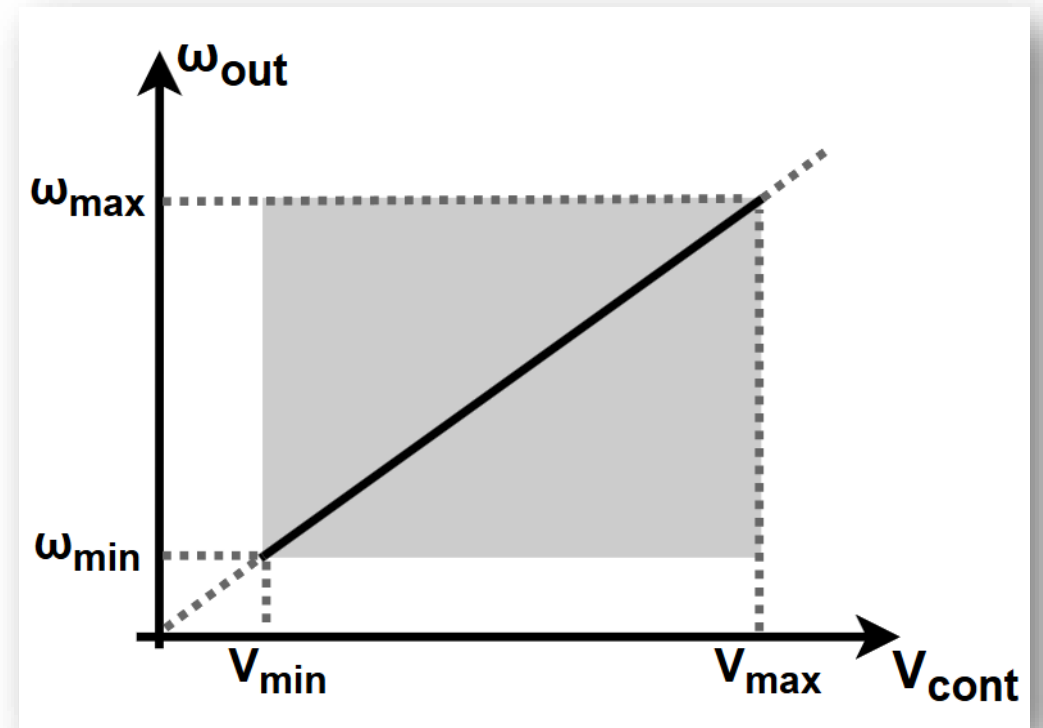


VCO - oscylator sterowany napięciem

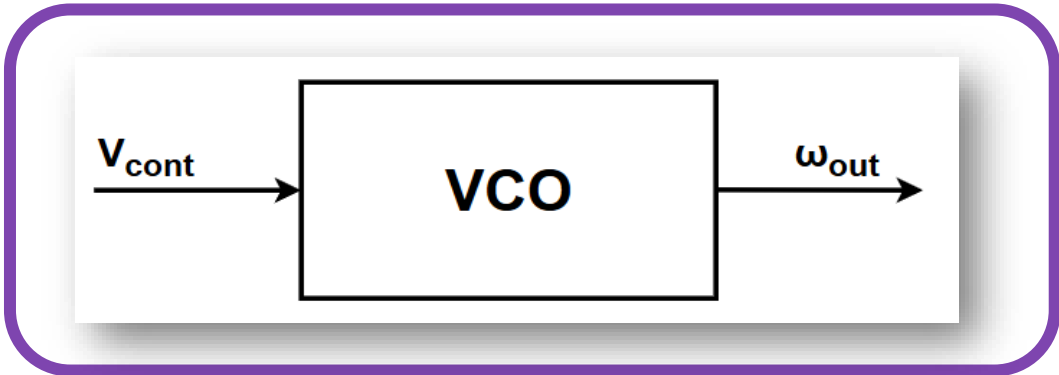


VCO - układ odpowiadający za generowanie częstotliwości w zależności od napięcia wejściowego.

Kluczowym aspektem strojenia VCO jest dopasowanie zakresu częstotliwości do dostępnego zakresu napięcia sterującego



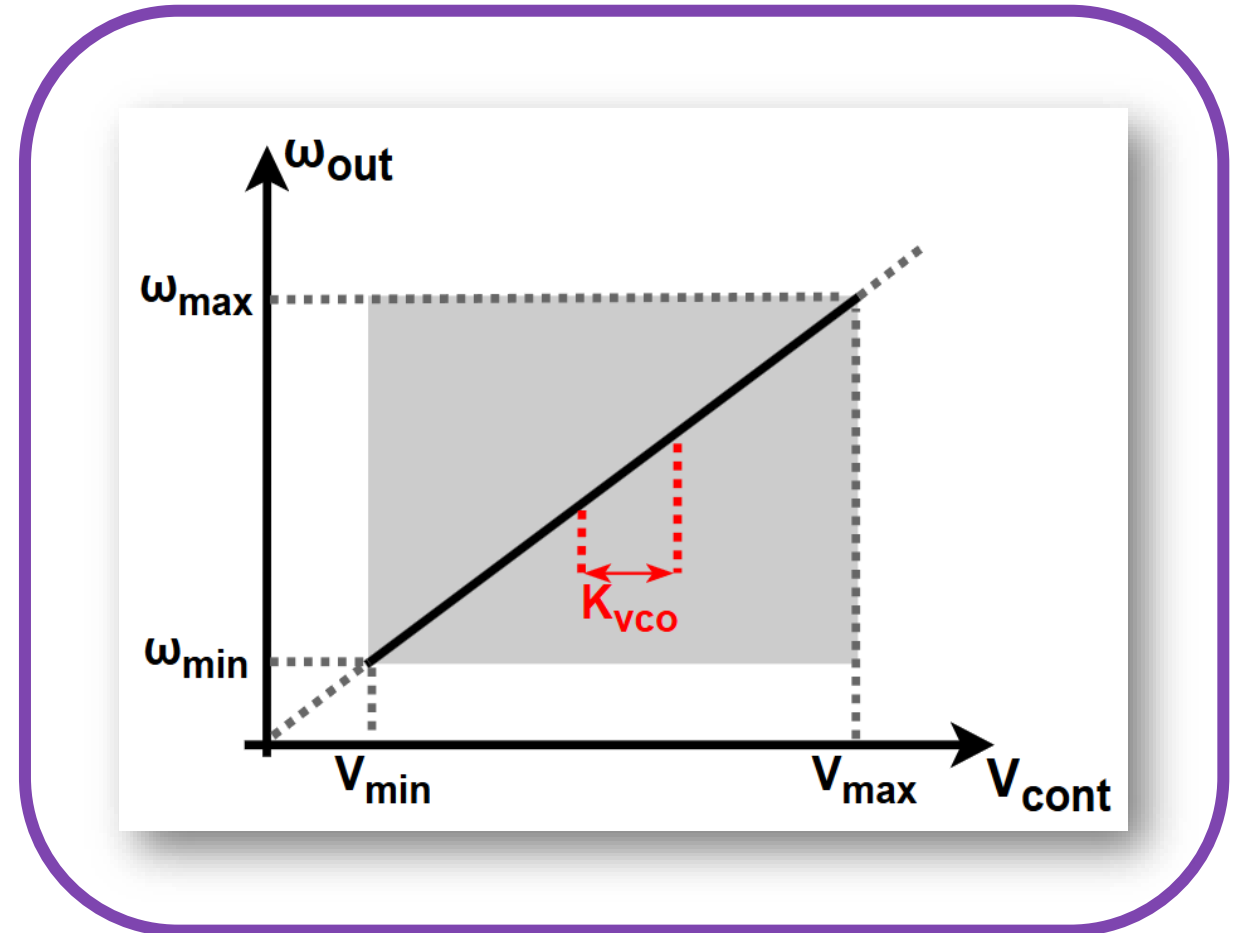
VCO - oscylator sterowany napięciem



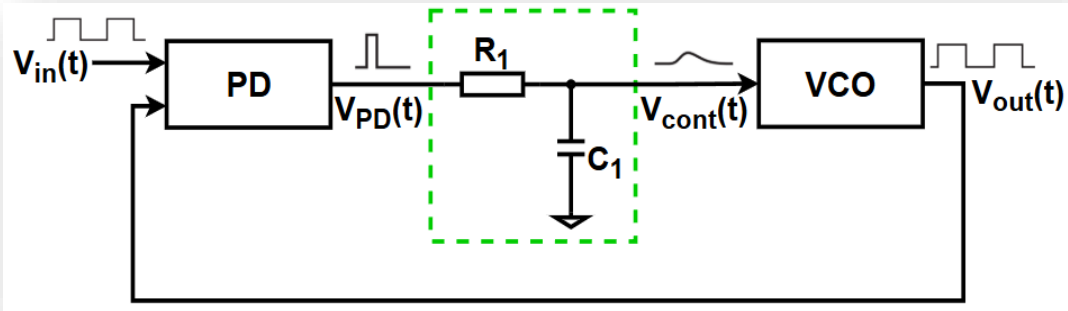
Na podstawie funkcji częstotliwości w stosunku do napięcia wyliczany jest współczynnik:

$$K_{VCO} = \frac{\Delta\omega_{out}}{\Delta V_{cont}}$$

Nazywany jest **wzmocnieniem** lub **czułością** oscylatora.



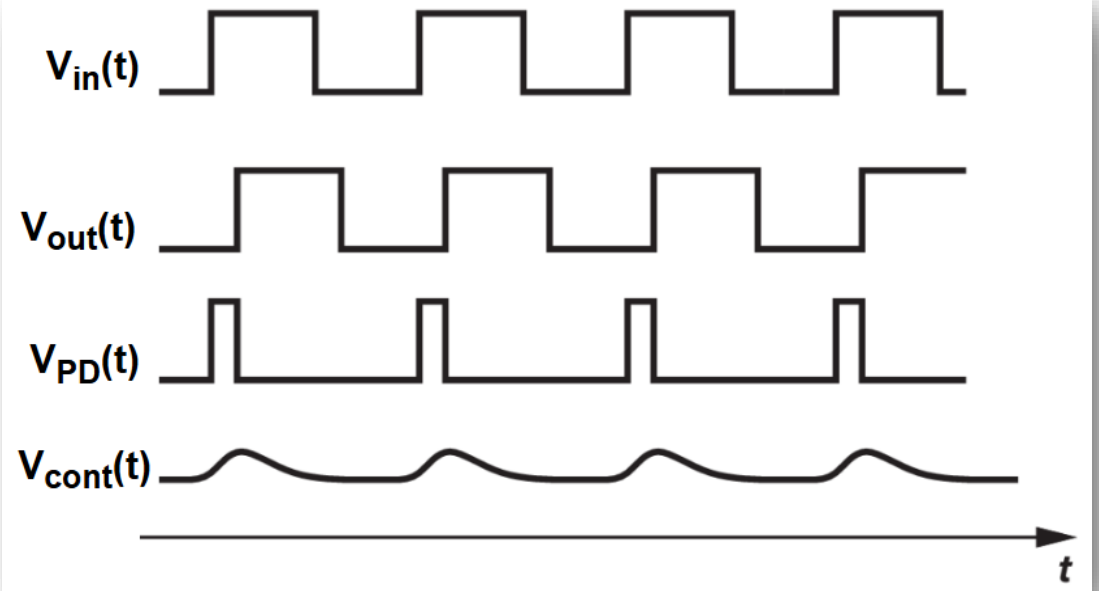
LPF - Synchronizacja faz PLL'a



Częstotliwość VCO zależy od napięcia sterowania.

Dlatego wymagany jest **filtr dolnoprzepustowy**, który uśredni impulsowy sygnał z PD i wygeneruje napięcie sterujące VCO.

Przebiegi PLL w stanie synchronizacji (lock).

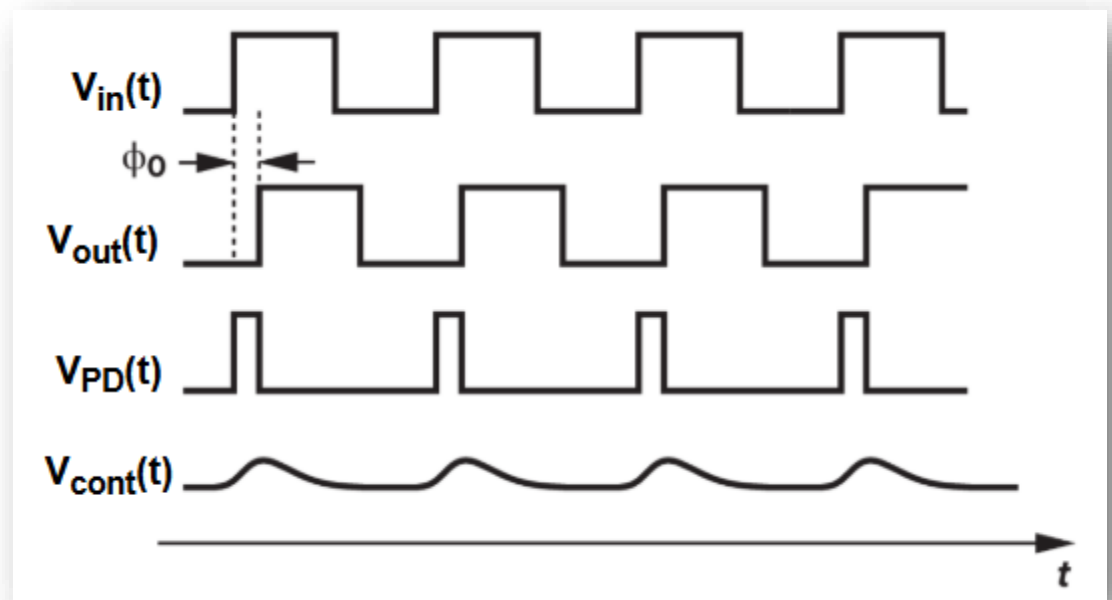


Problem (1) - stała różnica w fazy

Aby uzyskać w przybliżeniu stałe napięcie sterujące **VCO**, konieczne jest utrzymanie **stałej różnicy faz** między referencyją a sygnałem wyjściowym ϕ_0 . Różnica ta wymusza ciągłą generację impulsów przez **PD**, aby zapewnić wymagane napięcie biasujące na V_{cont} .

Jest to problem architektury tego układu, czego rozwiązaniem jest dodatkowe stałe źródło dodane do V_{cont} , albo zmiana architektury.

Przebiegi PLL w stanie synchronizacji (lock).



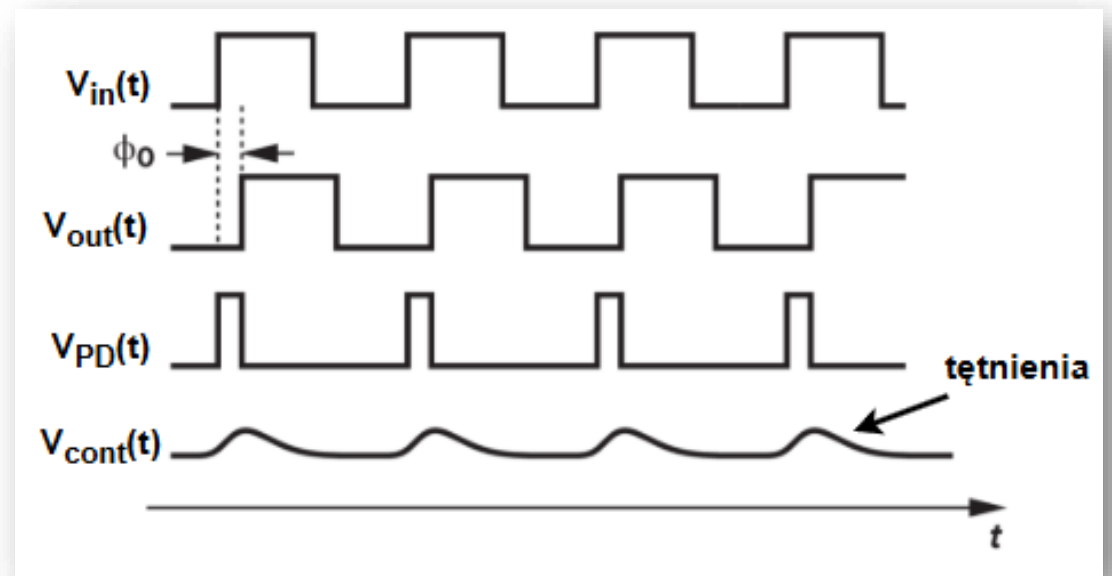
Problem (2) - tętnienia napięcia kontrolnego

Ciągłe generowanie impulsu błędu przez **PD** skutkuje pojawieniem się tętnień na napięciu V_{cont} , co prowadzi do **wahań częstotliwości zegara na wyjściu oscylatora, czyli DJa**.

Whania będą proporcjonalne **wielkości tętnień** oraz **wzmocnienia VCO**:

$$\Delta f_{\text{out}} = \Delta V_{\text{cont}} \cdot K_{\text{VCO}}$$

Przebiegi PLL w stanie synchronizacji (lock).



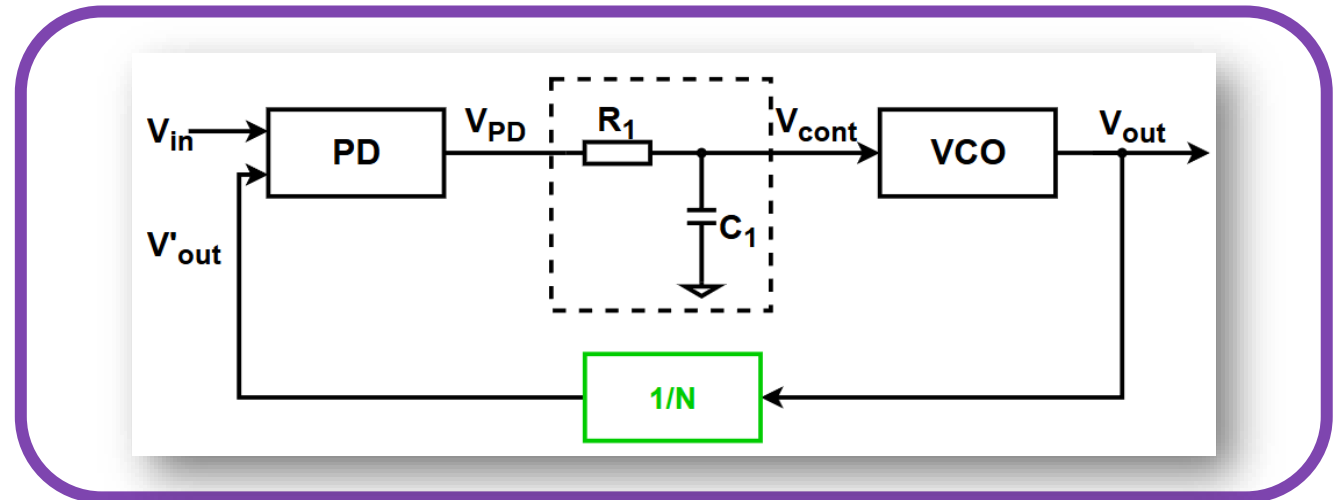
1/N - Dzielnik częstotliwości

Aby uzyskać wyższe częstotliwości wyjściowe, w pętli sprzężenia zwrotnego stosuje się **dzielnik częstotliwości**.

PLL jako układ regulacji dąży do zrównania częstotliwości na obu wejściach detektora fazy.

W stanie synchronizacji zachodzi zależność:

$$f_{\text{out}} = N \cdot f_{\text{ref}}$$



Analiza małosygnałowa

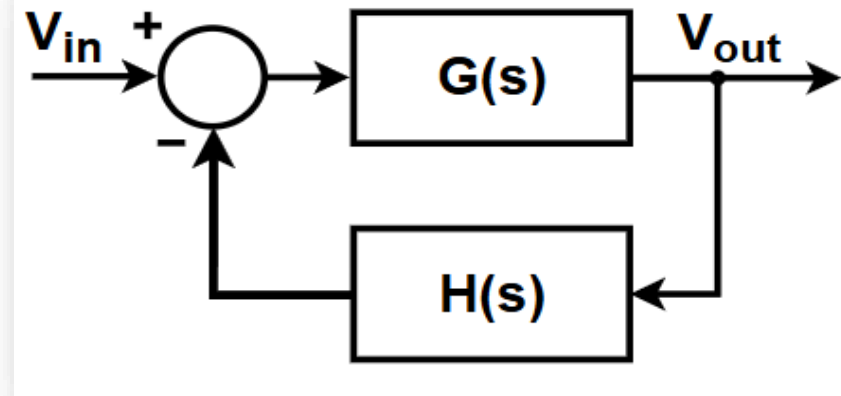
Standardowy model układu z ujemnym sprzężeniem zwrotnym (USZ)

Transmitancja zamkniętej pętli

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{G(s)}{1 + G(s)H(s)}$$

G(s) - Transmitancja głównej linii

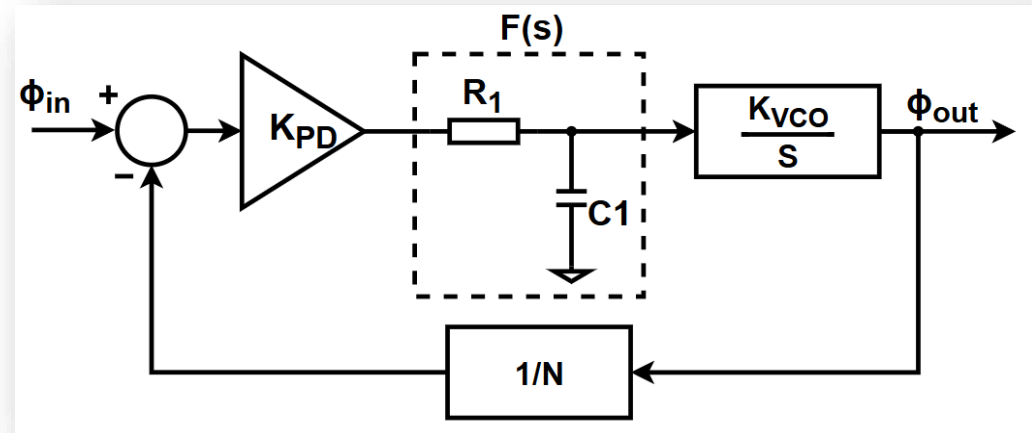
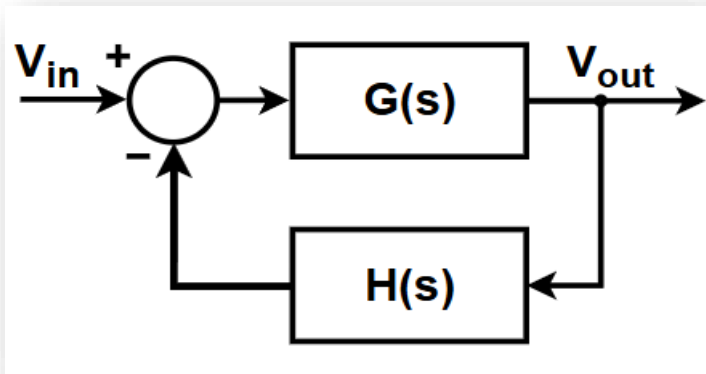
H(s) - transmitancja linii sprzężenia zwrotnego



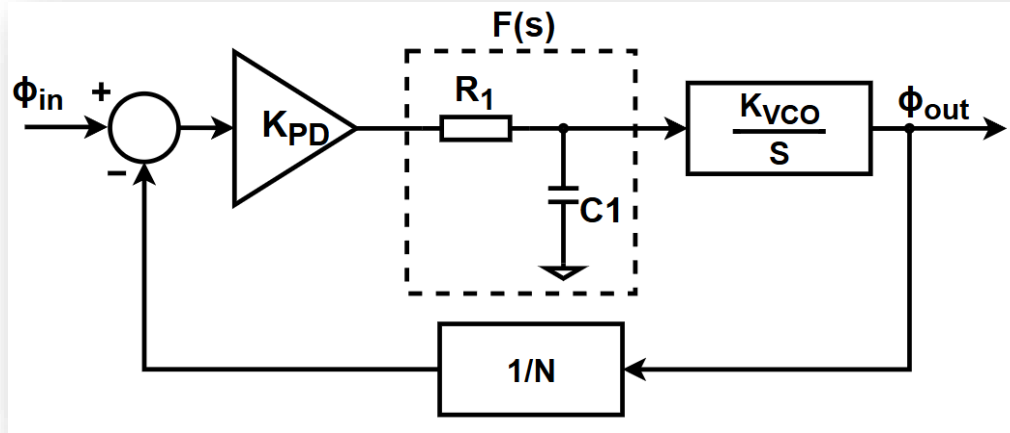
Model małosygnałowy PLL

Model PLLa w funkcji napięcia wyjścia do wejścia **nie jest liniowy**. Bo nie analizuje się PLLa **w funkcji napięcia!**
PLL jest analizowany **w funkcji przejścia fazy!**

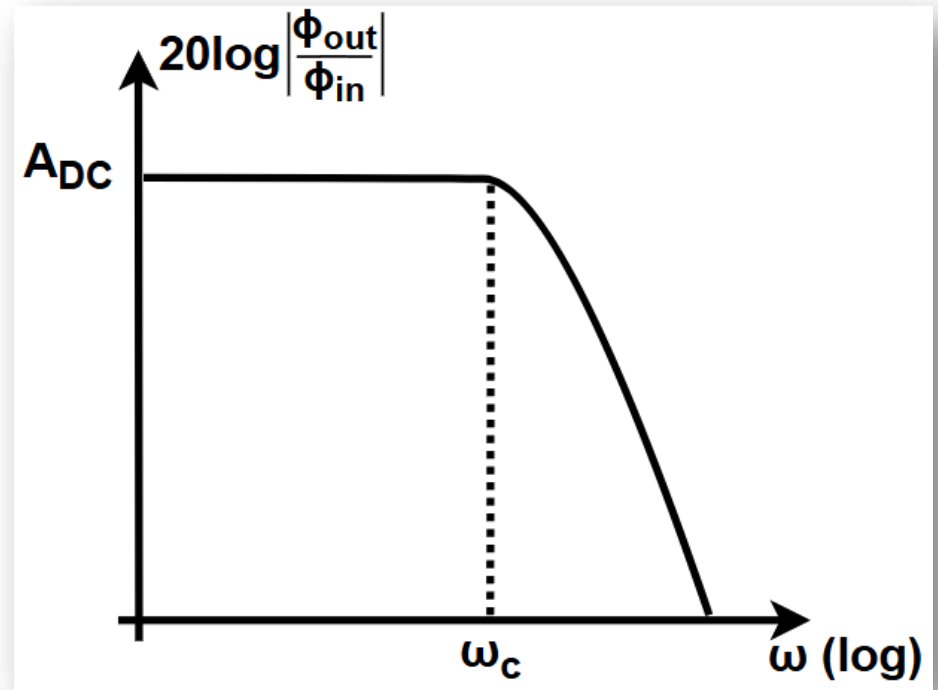
$$G(s) = K_{PD} \cdot F(s) \cdot \frac{K_{VCO}}{s}$$
$$H(s) = \frac{1}{N}$$
$$F(s) = \frac{1}{1 + sR_1C_1}$$



Model małosygnalowy PLL - Zamknięta pętla



$$\frac{\phi_{out}(s)}{\phi_{in}(s)} = \frac{K_{PD} \cdot K_{VCO}}{s(1 + sRC) + K_{PD} \cdot K_{VCO} \cdot \frac{1}{N}}$$

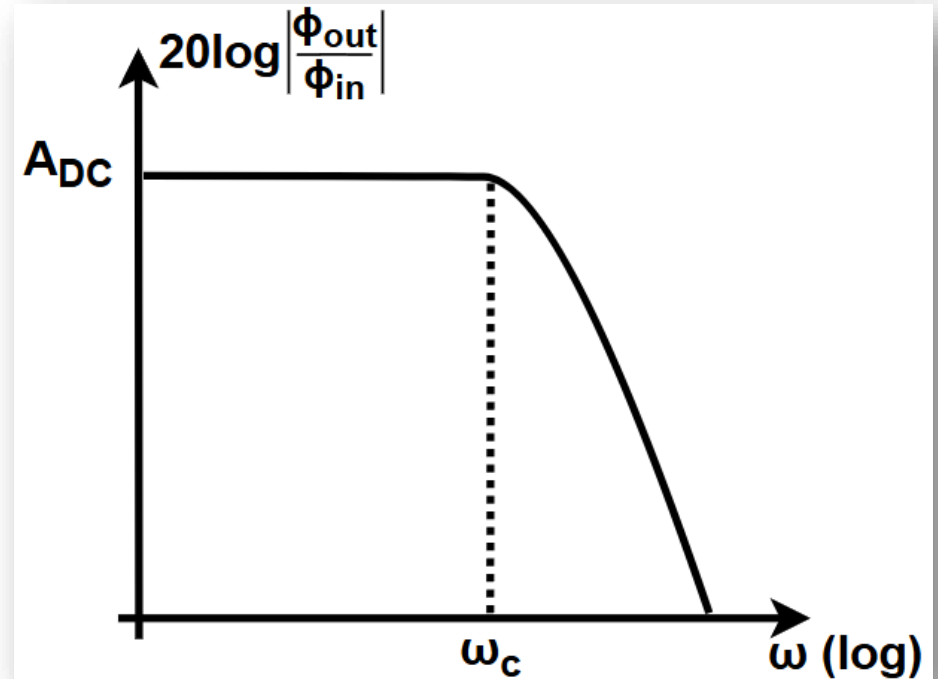


Model małosygnalowy PLL - Zamknięta pętla

Analizując charakterystykę amplitudową przejścia fazy zauważyć można, że PLL ma cechy **filtru dolnoprzepustowego**.

To właśnie ta zaleta zapewnia możliwość **tłumienia zakłóceń referencji**.

$$\frac{\phi_{out}(s)}{\phi_{in}(s)} = \frac{K_{PD} \cdot K_{VCO}}{s(1 + sRC) + K_{PD} \cdot K_{VCO} \cdot \frac{1}{N}}$$

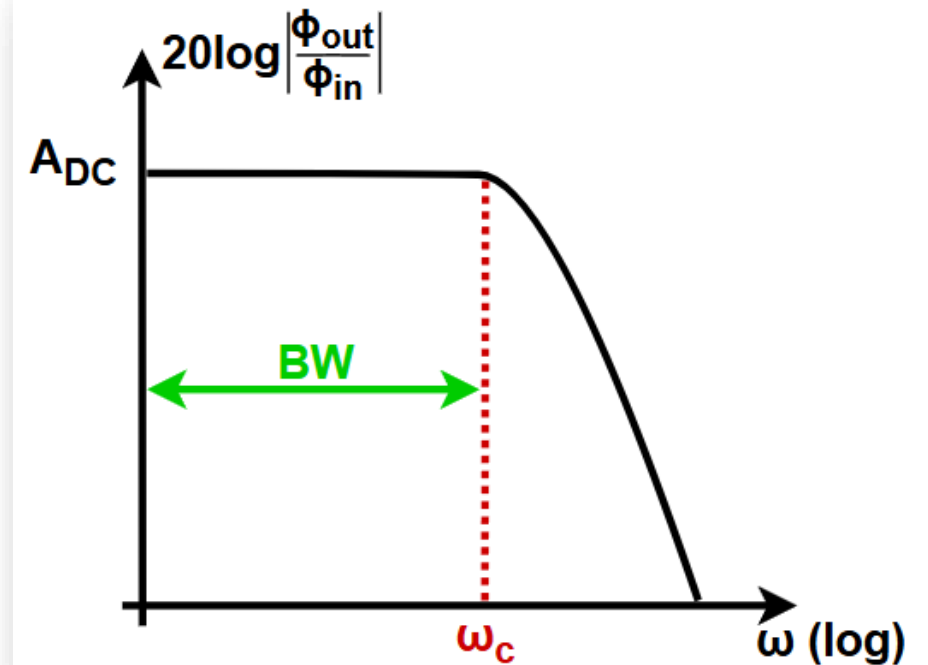


Model małosygnalowy PLL - Zamknięta pętla

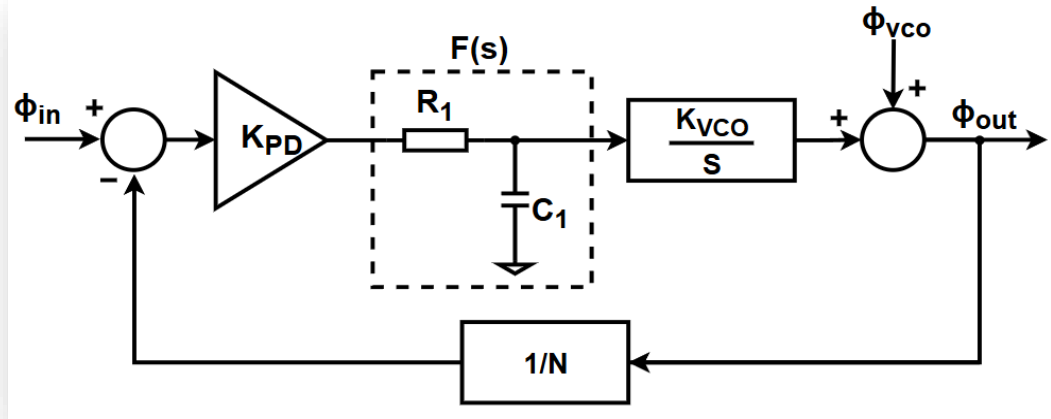
Pasmo PLLa zależy od **biegunu filtra ω_c** .

Z reguły **pasmo PLLa** powinno być **10x mniejsze** od zegara referencyjnego, po to by nie reagowało przykładowo na tętnienia wywołane przez impuls z **PD**.

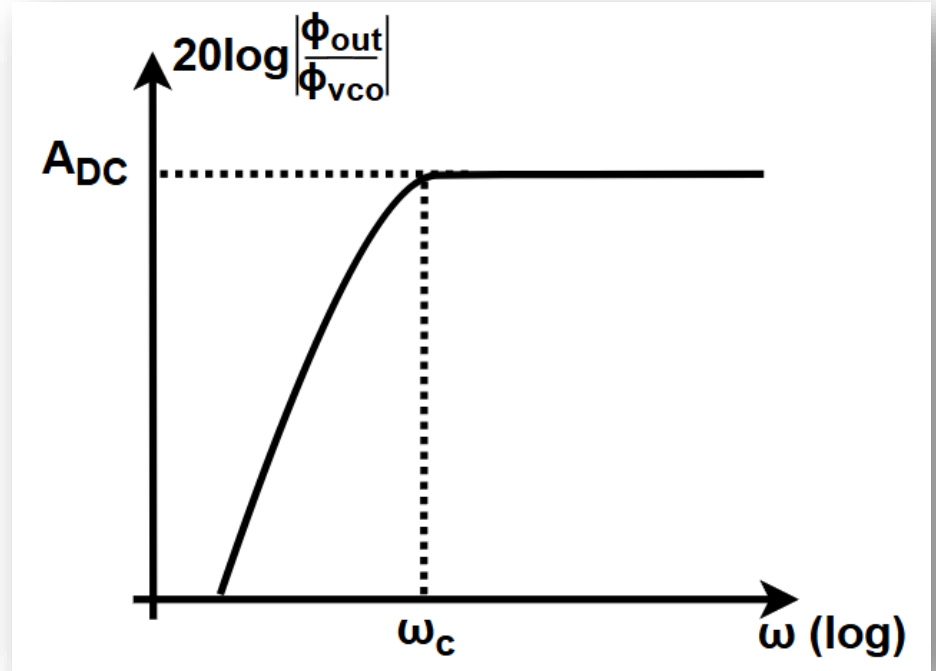
$$\frac{\phi_{out}(s)}{\phi_{in}(s)} = \frac{K_{PD} \cdot K_{VCO}}{s(1 + sRC) + K_{PD} \cdot K_{VCO} \cdot \frac{1}{N}}$$



Punkt widzenia VCO



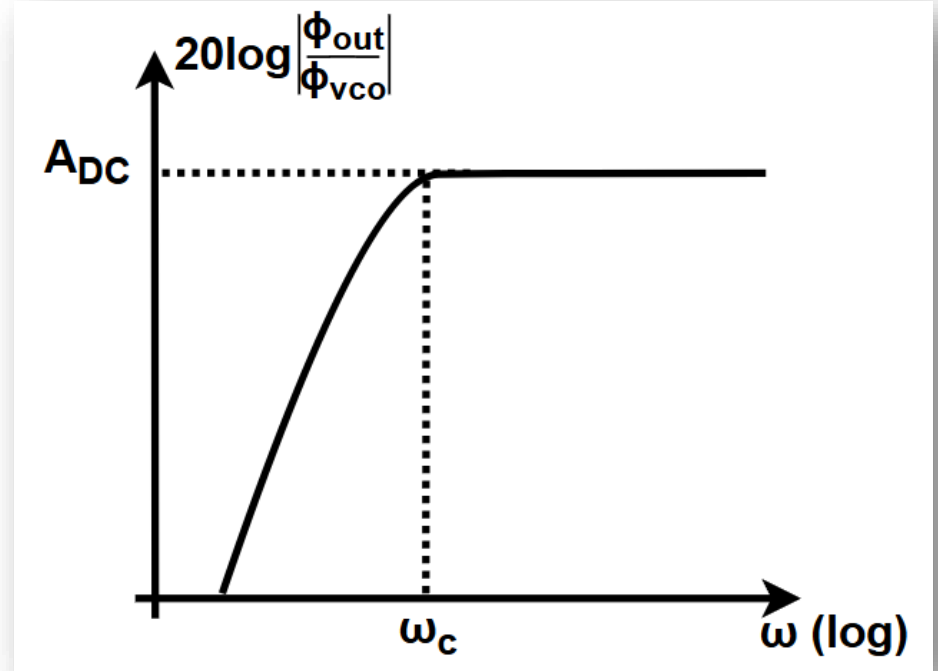
$$\frac{\phi_{out}(s)}{\phi_{in}(s)} = \frac{s(1 + sRC)}{s(1 + sRC) + K_{PD} \cdot K_{VCO} \cdot \frac{1}{N}}$$



Punkt widzenia VCO

Analizując relację fazy między wyjściem VCO a wyjściem PLLa, można zauważyć, że **składowe szybkozmienne są przepuszczane**. W konsekwencji **VCO** staje się głównym **źródłem szumu (RJ)** na wyjściu PL.

$$\frac{\phi_{out}(s)}{\phi_{in}(s)} = \frac{s(1 + sRC)}{s(1 + sRC) + K_{PD} \cdot K_{VCO} \cdot \frac{1}{N}}$$

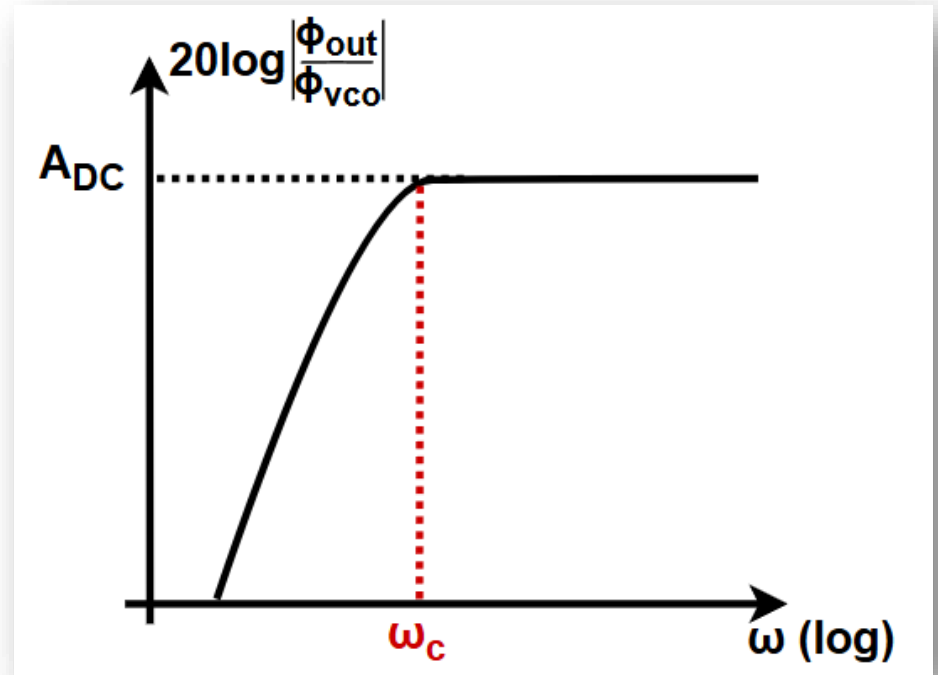


Punkt widzenia VCO

Transmitancja wyjścia do wyjścia VCO zaczyna się tam gdzie pasmo PLLa się kończy.

Położenie **bieguna filtru ω_c** to kompromis między:

- Redukcją tętnień i pasmem PLLa
- Tłumieniem szumu VCO



Dziękuję za uwagę

Bibliografia

- [1] A. Aktas, M. Ismail, *CMOS PLLs and VCOs for 4G Wireless*, New York, USA: Springer, 2004.
- [2] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 2nd ed., New York, USA: McGraw-Hill Education, 2017.
- [3] J. E. Baker, *CMOS: Circuit Design, Layout, and Simulation*, 4th ed., Hoboken, USA: Wiley-IEEE Press, 2019.
- [4] V. F. Kroupa, *Phase Lock Loops and Frequency Synthesis*, New York, USA: Wiley, 2003.
- [5] Texas Instruments, “A Practical Guide to Phase-Locked Loops (PLL)”, Application Report SNAA386, [Online]. Available: <https://www.ti.com/lit/an/snaa386/snaa386.pdf>
- [6] Texas Instruments, “PLL Fundamentals Part 4: PLL Clocking Applications”, Application Report SNAP004, [Online]. Available: <https://www.ti.com/lit/ml/snap004/snap004.pdf>
- [7] ProtoExpress, “Analyzing Eye Diagrams for Signal Integrity in High-Speed PCBs”, [Online]. Available: <https://www.protoexpress.com/blog/analyzing-eye-diagrams-for-signal-integrity-high-speed-pcbs/>